

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
10/083592
02/27/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月 5日

出 願 番 号
Application Number:

特願2001-060569

出 願 人
Applicant(s):

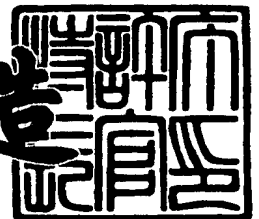
富士通株式会社
富士通ヴィエルエスアイ株式会社

#2
Priority
Chiba
4-1902

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097332

【書類名】 特許願

【整理番号】 0040949

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/26

【発明の名称】 D C - D C コンバータの制御回路及び D C - D C コンバータ

【請求項の数】 6

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 稲富 研一

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 永井 竜太

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータの制御回路及びDC-DCコンバータ

【特許請求の範囲】

【請求項1】 スイッチ回路に切替え信号を入力して、該スイッチ回路に入力される降圧動作制御信号と、昇圧動作制御信号とを切替えて出力可能としたDC-DCコンバータの制御回路であって、

出力信号のデューティを制御するデューティ設定信号に基づいて、前記切替え信号を生成する切替え信号生成回路を備えたことを特徴とするDC-DCコンバータの制御回路。

【請求項2】 入力電圧と、デューティ設定信号と、三角波とを比較する第一のPWM比較器と、

入力電圧と、前記三角波とを比較する第二のPWM比較器と、

前記第一及び第二のPWM比較器の出力信号を降圧動作時と昇圧動作時とで切替え信号に基づいて切替えて出力するスイッチ回路とを備えたDC-DCコンバータの制御回路であって、

降圧動作時と昇圧動作時とで異なる電圧レベルが設定される前記デューティ設定信号に基づいて、前記切替え信号を生成する切替え信号生成回路を備えたことを特徴とするDC-DCコンバータの制御回路。

【請求項3】 前記切替え信号生成回路は、前記デューティ設定信号と基準電圧とを比較して前記切替え信号を生成することを特徴とする請求項1乃至2のいずれかに記載のDC-DCコンバータの制御回路。

【請求項4】 前記切替え信号生成回路は、前記デューティ設定信号と前記三角波の最大値とを比較して前記切替え信号を生成することを特徴とする請求項1乃至2のいずれかに記載のDC-DCコンバータの制御回路。

【請求項5】 外部から入力されるデジタル設定信号に基づいて、前記デューティ設定信号を生成するデューティ設定信号生成部を備えたことを特徴とする請求項3乃至4のいずれかに記載のDC-DCコンバータの制御回路。

【請求項6】 降圧回路を制御回路に接続して、入力電圧を降圧した降圧出力電圧を出力する降圧動作と、昇圧回路を制御回路に接続して、入力電圧を昇圧

した昇圧出力電圧を出力する昇圧動作とを選択可能とし、前記制御回路はスイッチ回路に切替え信号を入力して、降圧回路を接続する状態と、昇圧回路を接続する状態とを切替え可能としたDC-DCコンバータであって、

前記制御回路の出力信号のデューティを制御するデューティ設定信号に基づいて、前記切替え信号を生成する切替え信号生成回路を備えたことを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、各種電子機器に使用されるDC-DCコンバータに関するものである。

【0002】

DC-DCコンバータの種類として、制御部に降圧回路を接続することにより、電源電圧より低電圧の直流電圧を出力可能とし、制御部に昇圧回路を接続することにより電源電圧より高電圧の直流電圧を出力可能としたものがある。このようなDC-DCコンバータでは、昇圧動作と降圧動作とを切り替えるために外部から切替え信号が入力される。このため、切替え信号を入力するための外部端子が必要であり、DC-DCコンバータの小型化を妨げる要因となっている。

【0003】

【従来の技術】

図7に示す降圧型DC-DCコンバータは、1チップの半導体集積回路装置上に搭載された制御回路1と、複数の外付け素子で構成される降圧回路2とから構成され、制御回路1の制御に基づく降圧回路2の動作により、降圧回路2は入力電圧 V_{in} を降圧した直流電圧 V_o を出力する。

【0004】

前記制御回路1は、前記降圧回路2の出力電圧 V_o が誤差検出用増幅器3のマイナス側入力端子に入力され、誤差検出用増幅器3のプラス側入力端子には基準電圧 V_{R1} が入力される。

【0005】

そして、誤差検出用増幅器 3 は出力電圧 V_o と基準電圧 V_{R1} との差電圧を増幅した出力信号を、第一の PWM 比較器 4 の第一のプラス側入力端子に出力する。

前記第一の PWM 比較器 4 の第二のプラス側入力端子には、直流電圧であるデューティ設定信号 DTC が入力される。また、前記第一の PWM 比較器 4 のマイナス側入力端子には、発振回路から出力される三角波 VCT が入力される。

【0006】

第一の PWM 比較器 4 は誤差検出用増幅器 3 の出力信号と、デューティ設定信号 DTC のうち、電圧が低い方の信号と三角波 VCT とを比較する。そして、第一の PWM 比較器 4 は三角波 VCT の各周期において、三角波 VCT の電圧レベルの方が高くなる期間では、L レベルの出力信号 $SG1$ を出力し、三角波 VCT の電圧レベルの方が低くなる期間では、H レベルの出力信号 $SG1$ を出力する。

【0007】

前記誤差検出用増幅器 3 の出力信号は、電圧シフト回路 5 で高電位側にシフトされた状態で、第二の PWM 比較器 6 のプラス側入力端子に入力される。また、前記第二の PWM 比較器 6 のマイナス側入力端子には、前記三角波 VCT が入力される。

【0008】

第二の PWM 比較器 6 は誤差検出用増幅器 3 の出力信号と、三角波 VCT とを比較する。そして、第二の PWM 比較器 6 は三角波 VCT の各周期において、三角波 VCT の電圧レベルの方が高くなる期間では、L レベルの出力信号 $SG2$ を出力し、三角波 VCT の電圧レベルの方が低くなる期間では、H レベルの出力信号 $SG2$ を出力する。

【0009】

前記第一の PWM 比較器 4 の出力信号 $SG1$ は、スイッチ回路 8b に入力されるとともに、インバータ回路 7a を介してスイッチ回路 8a に入力される。また、前記第二の PWM 比較器 6 の出力信号 $SG2$ は、スイッチ回路 8a に入力されるとともに、インバータ回路 7b を介してスイッチ回路 8b に入力される。

【0010】

前記スイッチ回路 8a, 8b には、外部から端子 T を経て切替え信号 CH が入

力される。そして、切替え信号CHがLレベルとなると、スイッチ回路8aはインバータ回路7aの出力信号を駆動回路9aに出力し、スイッチ回路8bはインバータ回路7bの出力信号を駆動回路9bに出力する。

【0011】

前記駆動回路9aは、電源Vcc及びグランドGNDを電源として動作し、前記駆動回路9bは電源VDD及びグランドGNDを電源として動作する。なお、電源Vccは電源VDDより高電圧であるが、同一電圧でもよい。

【0012】

前記駆動回路9aの出力信号out1は、前記降圧回路2を構成するPチャネルMOSトランジスタTr1のゲートに入力され、前記駆動回路9bの出力信号out2は、前記降圧回路2を構成するNチャネルMOSトランジスタTr2のゲートに入力される。

【0013】

そして、制御回路1の動作により前記トランジスタTr1、Tr2は交互にオンされる。

前記降圧回路2は、前記トランジスタTr1、Tr2、ダイオードD1、コイルL1及び容量C1から構成され、トランジスタTr1、Tr2が交互にオンされることにより、入力電圧Vinを降圧した直流出力電圧Voを出力する。

【0014】

上記のような降圧型DC-DCコンバータでは、図9に示すように、デューティ設定信号DTCは三角波CTの最大値より高いレベルに設定される。そして、降圧回路2の出力電圧Voが低くなると、第一及び第二のPWM比較器4、6の出力信号SG1、SG2のHレベルのデューティが長くなるため、トランジスタTr1のオン時間が長くなり、トランジスタTr2のオン時間が短くなる。この結果、降圧回路2の出力電圧Voが上昇する。

【0015】

また、降圧回路2の出力電圧Voが高くなると、第一及び第二のPWM比較器4、6の出力信号SG1、SG2のHレベルのデューティが短くなるため、トランジスタTr1のオン時間が短くなり、トランジスタTr2のオン時間が長くなる。

この結果、降圧回路 2 の出力電圧 V_o が低下する。

【0016】

図 8 は、前記制御回路 1 で昇圧回路 10 を駆動することにより、入力電圧 V_{in} を昇圧した出力電圧 V_o を出力可能とした昇圧型 DC-DC コンバータを示す。

昇圧型 DC-DC コンバータでは、前記制御回路 1 に H レベルの切替え信号 C_H が入力される。そして、H レベルの切替え信号 C_H により、スイッチ回路 8 a では第二の PWM 比較器 6 の出力信号を駆動回路 9 a に出力し、スイッチ回路 8 b では第一の PWM 比較器 4 の出力信号を駆動回路 9 b に出力する。

【0017】

駆動回路 9 a の出力信号は、P チャネル MOS トランジスタ Tr_3 のゲートに入力され、駆動回路 9 b の出力信号は N チャネル MOS トランジスタ Tr_4 のゲートに入力される。

【0018】

そして、制御回路 1 の動作によりトランジスタ Tr_3 、 Tr_4 が交互にオンされる。

昇圧回路 10 は、前記トランジスタ Tr_3 、 Tr_4 と、コイル L_2 と、ダイオード D_2 と、容量 C_2 とから構成され、トランジスタ Tr_3 、 Tr_4 が交互にオンされることにより、入力電圧 V_{in} を昇圧した出力電圧 V_o を出力する。

【0019】

上記のような昇圧型 DC-DC コンバータでは、図 10 に示すように、デューティ設定信号 DTC は三角波 CT の最大値より低いレベル、詳しくは三角波 CT の振幅の 70 パーセント程度に設定される。

【0020】

そして、昇圧回路 10 の出力電圧 V_o が低くなると、第一及び第二の PWM 比較器 4、6 の出力信号 SG_1 、 SG_2 の H レベルのデューティが長くなるため、トランジスタ Tr_3 のオン時間が短くなり、トランジスタ Tr_4 のオン時間が長くなる。この結果、昇圧回路 10 の出力電圧 V_o が上昇する。

【0021】

また、昇圧回路 10 の出力電圧 V_o が高くなると、第一及び第二の PWM 比較

器4, 6の出力信号SG1, SG2のHレベルのデューティが短くなるため、トランジスタTr3のオン時間が長くなり、トランジスタTr4のオン時間が短くなる。この結果、昇圧回路10の出力電圧Voが低下する。

【0022】

上記のような昇圧動作時において、昇圧回路10の負荷の増大により出力電圧Voが低下すると、第一のPWM比較器4の出力信号SG1のHレベルのデューティが長くなり、トランジスタTr4のオン時間が長くなる。

【0023】

このとき、デューティ設定信号DTCは三角波CTの最大値の70パーセント程度に設定されているので、トランジスタTr4がオンし続けることはない。従って、過電流によるトランジスタTr4の破壊が未然に防止される。

【0024】

図11は、前記制御回路1を1チップ上に2系統備えた2チャンネルの制御部を示す。

この制御部において、ソフトスタート回路13はDC-DCコンバータの起動時に昇圧回路10あるいは降圧回路2をソフトスタート動作させる。比較器11a, 11bと、AND回路12a~12d及び出力ショート検知回路14は、DC-DCコンバータの負荷回路において短絡が生じた時、昇圧動作あるいは降圧動作を停止させるように動作する。

【0025】

また、発振器15は前記三角波CTを生成し、基準電圧発生回路16は基準電圧VR1, VR3を生成する。

上記のような2チャンネル構成の制御部では、各チャンネル毎にスイッチ切替え信号CHを入力するための外部端子が必要となり、計18ピンの外部端子が必要となる。

【0026】

【発明が解決しようとする課題】

上記のようなDC-DCコンバータの制御回路1では、昇圧動作と降圧動作を切替えるための切替え信号CHを外部から入力する必要があり、その切替え信号

CHを入力するための外部端子が必要となる。

【0027】

従って、制御回路1を搭載するチップの端子数が増大し、チップの小型化を図る上で問題となる。

また、同一チップ上に複数の制御回路を搭載して、多チャンネル化を図るにつれて、切替え信号CHを入力するための外部端子数が増大するため、チップを小型化することができないという問題点がある。

【0028】

この発明の目的は、外部端子数を削減し得るDC-DCコンバータを提供することにある。

【0029】

【課題を解決するための手段】

図1は請求項1の原理説明図である。すなわち、スイッチ回路8に入力される切替え信号CHにより、該スイッチ回路8に入力される降圧動作制御信号DCと、昇圧動作制御信号UCとが切替えられて出力される。出力信号outのデューティを制御するデューティ設定信号DTCに基づいて、前記切替え信号CHを生成する切替え信号生成回路26が備えられる。

【0030】

また、図2に示すように、第一のPWM比較器は、入力電圧と、デューティ設定信号と、三角波とを比較し、第二のPWM比較器は入力電圧と、前記三角波とを比較し、スイッチ回路は前記第一及び第二のPWM比較器の出力信号を降圧動作時と昇圧動作時とで切替え信号に基づいて切替えて出力する。前記デューティ設定信号は、降圧動作時と昇圧動作時とで異なる電圧レベルが設定され、デューティ設定信号に基づいて前記切替え信号を生成する切替え信号生成回路が備えられる。

【0031】

【発明の実施の形態】

(第一の実施の形態)

図2は、この発明を具体化したDC-DCコンバータの制御回路の第一の実施

の形態を示す。

【 0 0 3 2 】

この実施の形態の制御回路 2 1 a は、前記従来例の制御回路 1 の構成に比較器 2 2 を加えたものであり、他の同一構成部分は同一符号を付して詳細な説明を省略する。

【 0 0 3 3 】

比較器 2 2 のプラス側入力端子には前記デューティ設定信号 D T C が入力され、マイナス側入力端子には基準電圧 V R 2 が入力される。

前記デューティ設定信号 D T C は、前記従来例と同様に、制御回路 2 1 a に前記降圧回路 2 が接続されるときには、三角波 C T の最大値以上のレベルが入力される。

【 0 0 3 4 】

また、制御回路 2 1 a に前記昇圧回路 1 0 が接続されるときには、三角波 C T の最大値の約 7 0 % のレベルが入力される。

前記基準電圧 V R 2 は、三角波 C T の最大値と、最大値の 7 0 % のレベルとの中間レベルに設定されている。従って、降圧回路 2 が接続されるとき、比較器 2 2 の出力信号は H レベルとなり、昇圧回路 1 0 が接続されるとき、比較器 2 2 の出力信号は L レベルとなる。そして、比較器 2 2 の出力信号が切替え信号 C H としてスイッチ回路 8 a, 8 b に入力され、スイッチ回路 8 a, 8 b は、前記従来例と同様に動作する。

【 0 0 3 5 】

上記のように構成された制御回路 2 1 a では、出力端子 o u t 1, o u t 2 に降圧回路 2 が接続され、デューティ設定信号 D T C として三角波 C T の最大値以上のレベルが入力されると、比較器 2 2 から出力される切替え信号 C H が H レベルとなる。

【 0 0 3 6 】

すると、インバータ回路 7 a の出力信号が駆動回路 9 a に入力され、インバータ回路 7 b の出力信号が駆動回路 9 b に入力される。従って、制御回路 2 1 a は前記従来例と同様に動作する。

【 0 0 3 7 】

また、出力端子 out 1, out 2 に昇圧回路 1 0 が接続され、デューティ設定信号 DTC として三角波 CT の最大値の 7 0 % のレベルが入力されると、比較器 2 2 の出力信号が L レベルとなる。

【 0 0 3 8 】

すると、第一の PWM 比較器 4 の出力信号 SG 1 が駆動回路 9 b に入力され、第二の PWM 比較器 6 の出力信号 SG 2 が駆動回路 9 a に入力される。従って、制御回路 2 1 a は前記従来例と同様に動作する。

【 0 0 3 9 】

上記のように構成された DC-DC コンバータでは、次に示す作用効果を得ることができる。

(1) デューティ設定信号 DTC に基づいてスイッチ回路 8 a, 8 b を制御することにより、降圧回路の制御と、昇圧回路の制御とを切替えることができる。

(2) スwitch回路 8 a, 8 b を制御するための切替え信号 CH を外部から入力する必要がないので、外部端子数を削減することができる。

(第二の実施の形態)

図 3 は、第二の実施の形態を示す。この実施の形態の制御回路 2 1 b は、外部から入力されるデジタルデータに基づいてデューティ設定信号 DTC を生成する構成としたものであり、その他の構成は前記第一の実施の形態と同様である。

【 0 0 4 0 】

すなわち、デコーダ回路 2 3 には外部からデューティ設定信号 DTC を生成するための複数ビットのデジタル設定信号 DG が入力される。デコーダ回路 2 3 は、デジタル設定信号 DG をデコードしたデコード信号をアナログ電圧生成部 2 4 に出力する。

【 0 0 4 1 】

アナログ電圧生成部 2 4 は、例えば抵抗ラダー回路を構成する各抵抗の端子電圧をスイッチ回路を介して共通の出力端子に出力し、各スイッチ回路を前記デコード信号で開閉制御することにより、アナログ信号であるデューティ設定信号 D

TCを生成する。

【0042】

デューティ設定信号DTCは、前記第一の実施の形態と同様に、降圧回路が接続される時には、三角波CTの最大値以上の電圧レベルに設定され、昇圧回路が接続されるときには、三角波CTの最大値の約70%の電圧レベルに設定される。

【0043】

そして、デューティ設定信号DTCは、前記第一の実施の形態と同様に、比較器22に入力され、その比較器22の出力信号CHに基づいてスイッチ回路8a, 8bが制御される。

【0044】

このように構成された制御回路21bでは、前記第一の実施の形態と同様な作用効果を得ることができる。

(第三の実施の形態)

図4は、第三の実施の形態を示す。この実施の形態の制御回路21cは、前記第二の実施の形態のアナログ電圧生成部24を降圧回路若しくは昇圧回路の入力電圧Vinと出力電圧Voとの比較結果に基づいて制御する構成としたものであり、その他の構成は、第二の実施の形態と同様である。

【0045】

すなわち、入力電圧Vinと出力電圧Voとが比較器25に入力され、その比較器25の出力信号がアナログ電圧生成部24に入力される。

前記比較器25は、降圧回路の出力電圧Voが入力されると、Lレベルの出力信号を出力し、昇圧回路の出力電圧Voが入力されると、Hレベルの出力信号を出力する。

【0046】

アナログ電圧生成部24は、Lレベルの入力信号に基づいて、降圧回路のためのデューティ設定電圧DTCを生成して出力する。また、Hレベルの入力信号に基づいて、昇圧回路のためのデューティ設定信号DTCを生成して出力する。

【0047】

上記のような構成により、入力電圧 V_{in} と出力電圧 V_o とを入力することにより、スイッチ回路8a, 8bを切替えるための切替え信号CHを外部から入力することなく、降圧動作と昇圧動作とを切替えるためのスイッチ回路8a, 8bの切替え動作を行うことができる。

(第四の実施の形態)

図5は、第四の実施の形態を示す。この実施の形態の制御回路21dでは、比較器22のマイナス側入力端子に三角波CTの最大値の電圧レベル V_{CTM} が入力され、その他の構成は第一の実施の形態あるいは第二の実施の形態と同様である。

【0048】

なお、デューティ設定信号DTCは、第一の実施の形態と同様に外部から入力するか、あるいは第二の実施の形態と同様に外部から入力される設定信号に基づいて、内部で生成する構成のいずれでもよい。

【0049】

また、降圧動作時のデューティ設定信号DTCは三角波CTの最大値 V_{CTM} を越える電圧レベルに設定する。

このような構成により、前記第一及び第二の実施の形態と同様な作用効果を得ることができる。

(第五の実施の形態)

図6は、第五の実施の形態を示す。この実施の形態は、図11に示す従来例の制御回路を前記第一の実施の形態で開示した制御回路21aに置き換えた構成である。

【0050】

このような構成により、前記従来例では必要であったスイッチ回路8a, 8bの切替え信号CHを入力するための外部端子を省略することができるので、外部端子を前記従来例に対し2ピン削減することができる。

【0051】

制御回路21aを使用して、さらに多チャンネルの制御部を構成すれば、外部端子の削減数をさらに増大させることができる。

また、デューティ設定信号DTCを切替えることにより、2チャンネルの降圧型DC-DCコンバータあるいは2チャンネルの昇圧型DC-DCコンバータを構成することができる。

【0052】

さらに、各制御回路21aをそれぞれ独立したデューティ設定信号DTCを入力すれば、一方を降圧型、他方を昇圧型として動作させたり、双方を降圧型あるいは昇圧型として動作させることもできる。

【0053】

上記実施の形態は、次に示すように変更することもできる。

・第一～第三の実施の形態において、降圧制御時及び昇圧制御時のデューティ設定信号DTCの電圧レベルは、三角波CTの最大値に対し100パーセントと、70パーセント以外の値としてもよい。そのとき、基準電圧VR2の値は、デューティ設定信号に対応して適宜設定する必要がある。

【0054】

【発明の効果】

以上詳述したように、この発明は外部端子数を削減し得るDC-DCコンバータを提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施の形態を示す回路図である。

【図3】 第二の実施の形態を示す回路図である。

【図4】 第三の実施の形態を示す回路図である。

【図5】 第四の実施の形態を示す回路図である。

【図6】 第五の実施の形態を示す回路図である。

【図7】 従来例を示す回路図である。

【図8】 従来例を示す回路図である。

【図 9】 降圧動作時のデューティ設定信号と三角波の電圧レベルを示す説明図である。

【図 1 0】 昇圧動作時のデューティ設定信号と三角波の電圧レベルを示す説明図である。

【図 1 1】 従来例を示す回路図である。

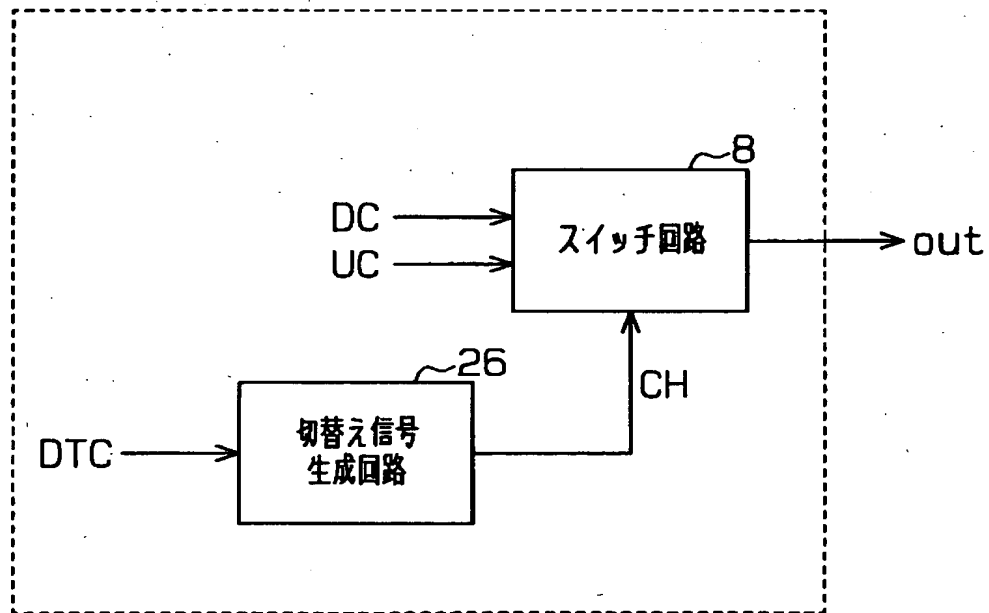
【符号の説明】

| | |
|-------|-----------|
| 8 | スイッチ回路 |
| 2 6 | 切替え信号生成回路 |
| CH | 切替え信号 |
| DC | 降圧動作制御信号 |
| UC | 昇圧動作制御信号 |
| o u t | 出力信号 |
| DTC | デューティ設定信号 |

【書類名】 図面

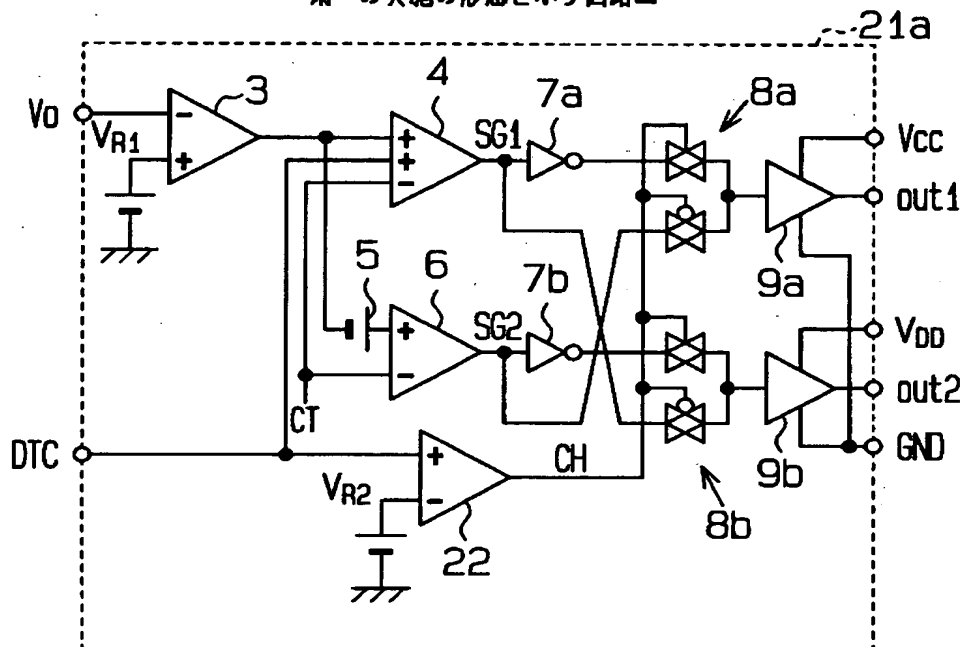
【図 1】

本発明の原理説明図



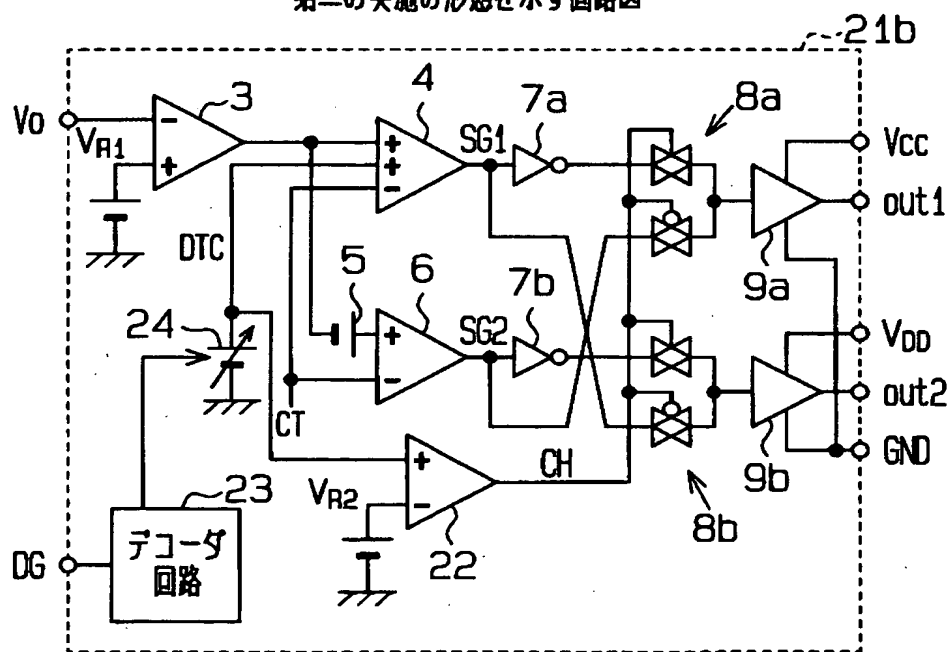
【図 2】

第一の実施の形態を示す回路図



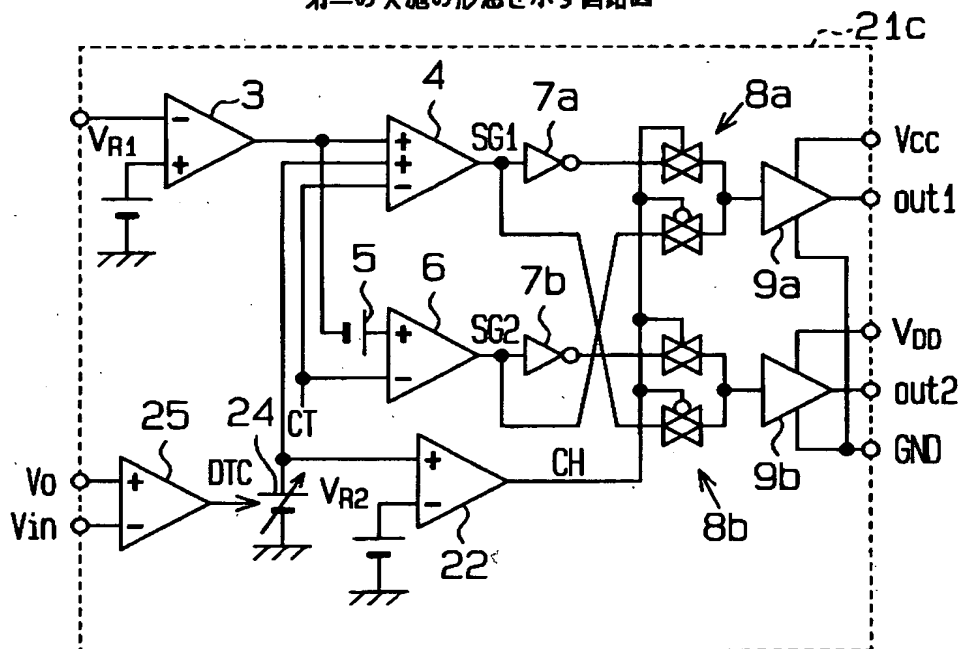
【图 3】

第二の実施の形態を示す回路図



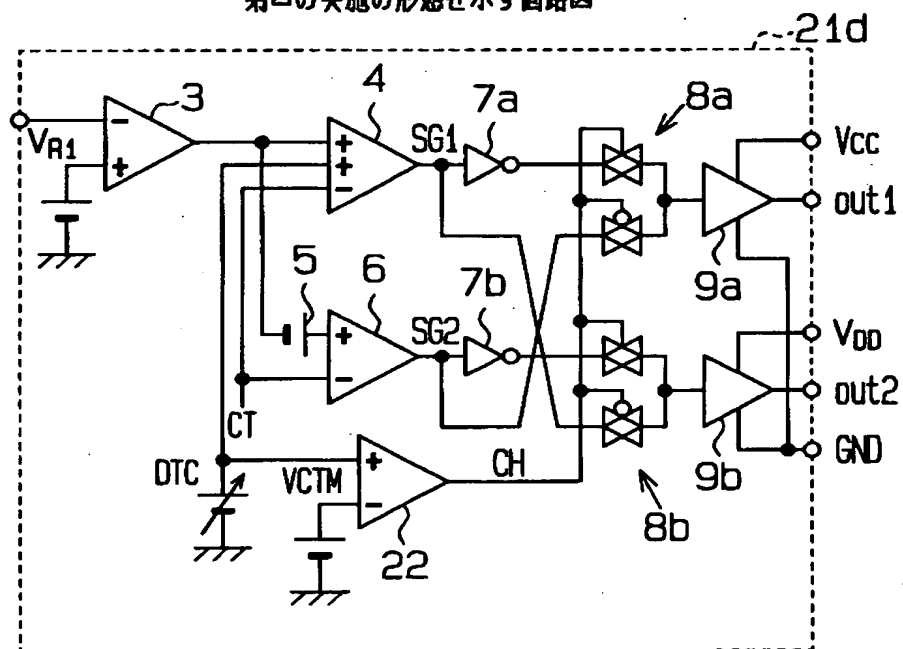
【図 4】

第三の実施の形態を示す回路図



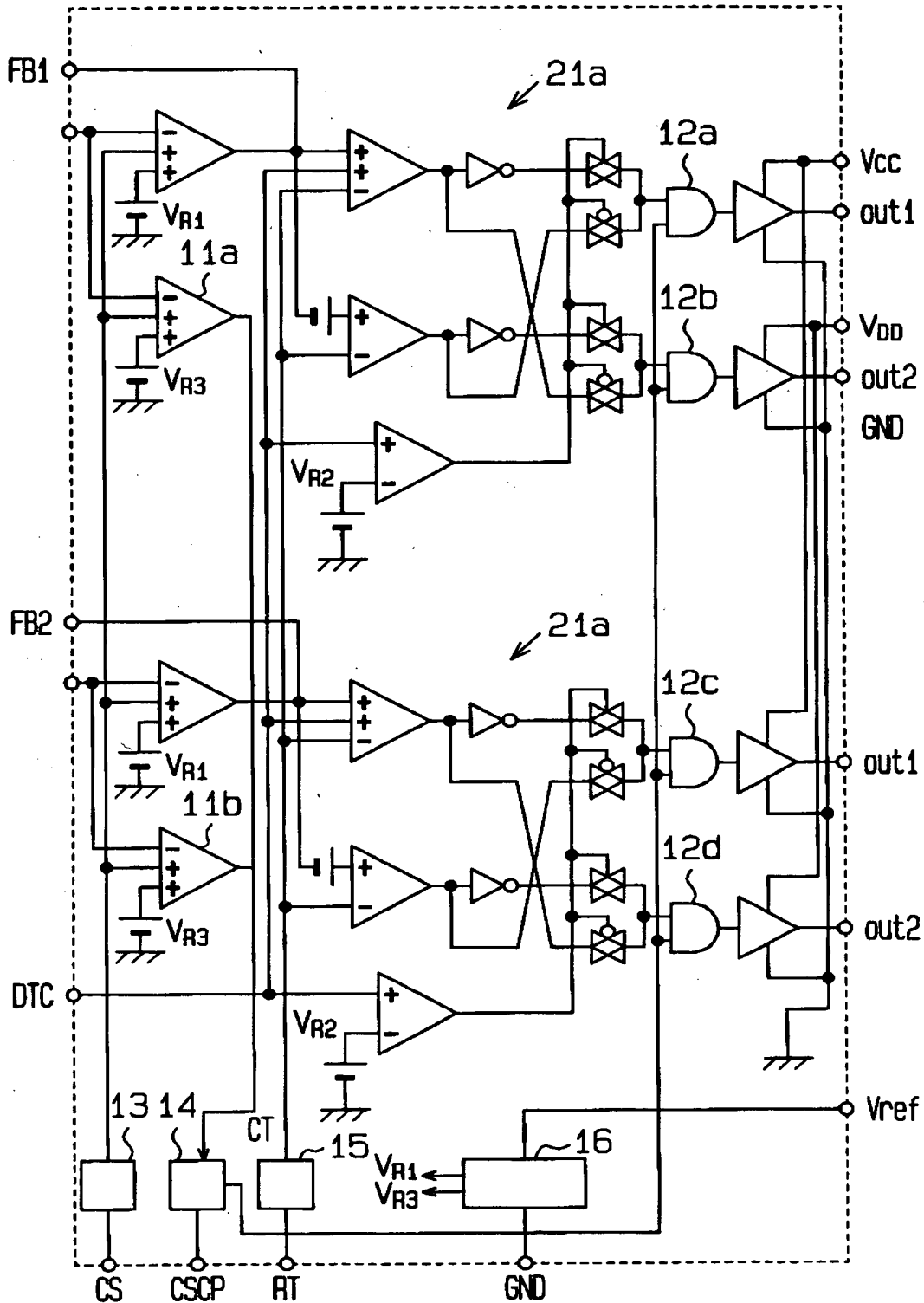
【図 5】

第四の実施の形態を示す回路図



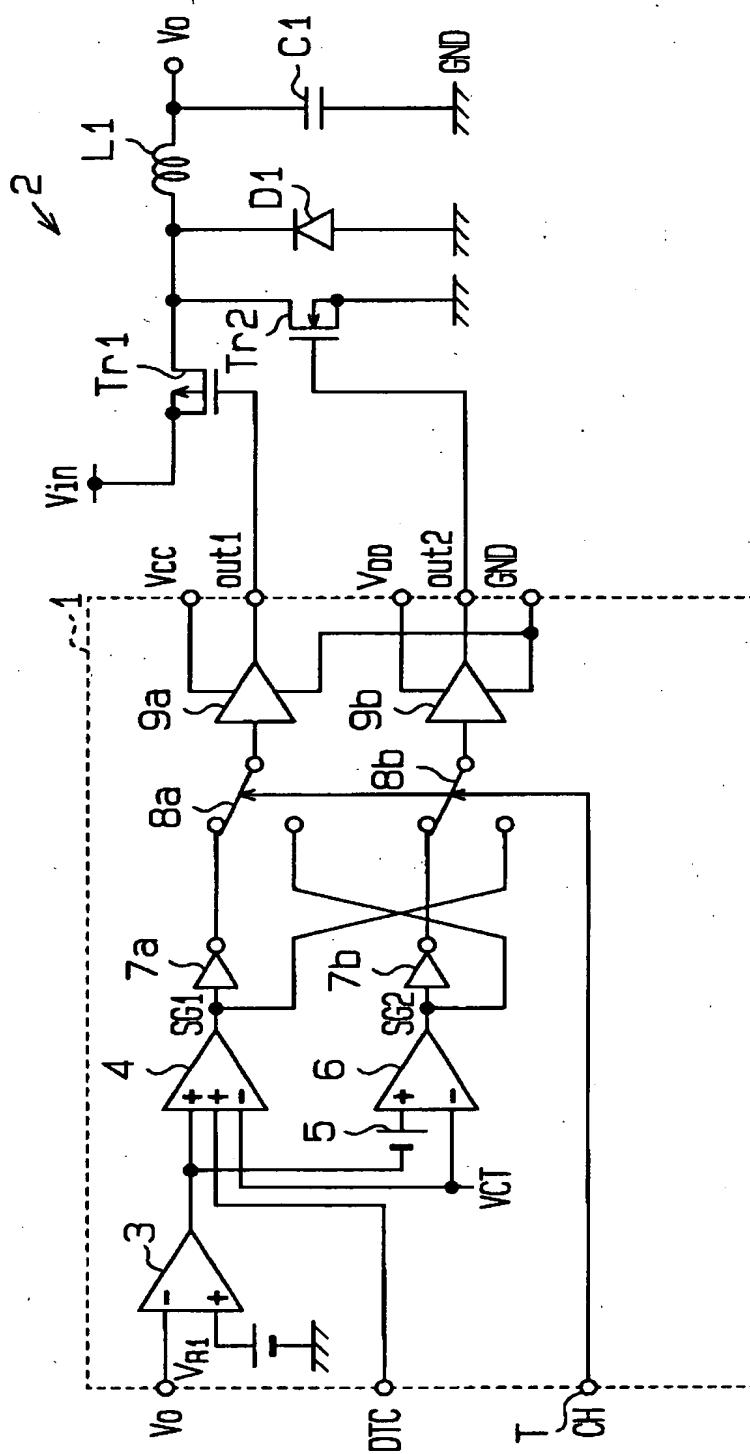
【図 6】

第五の実施の形態を示す回路図



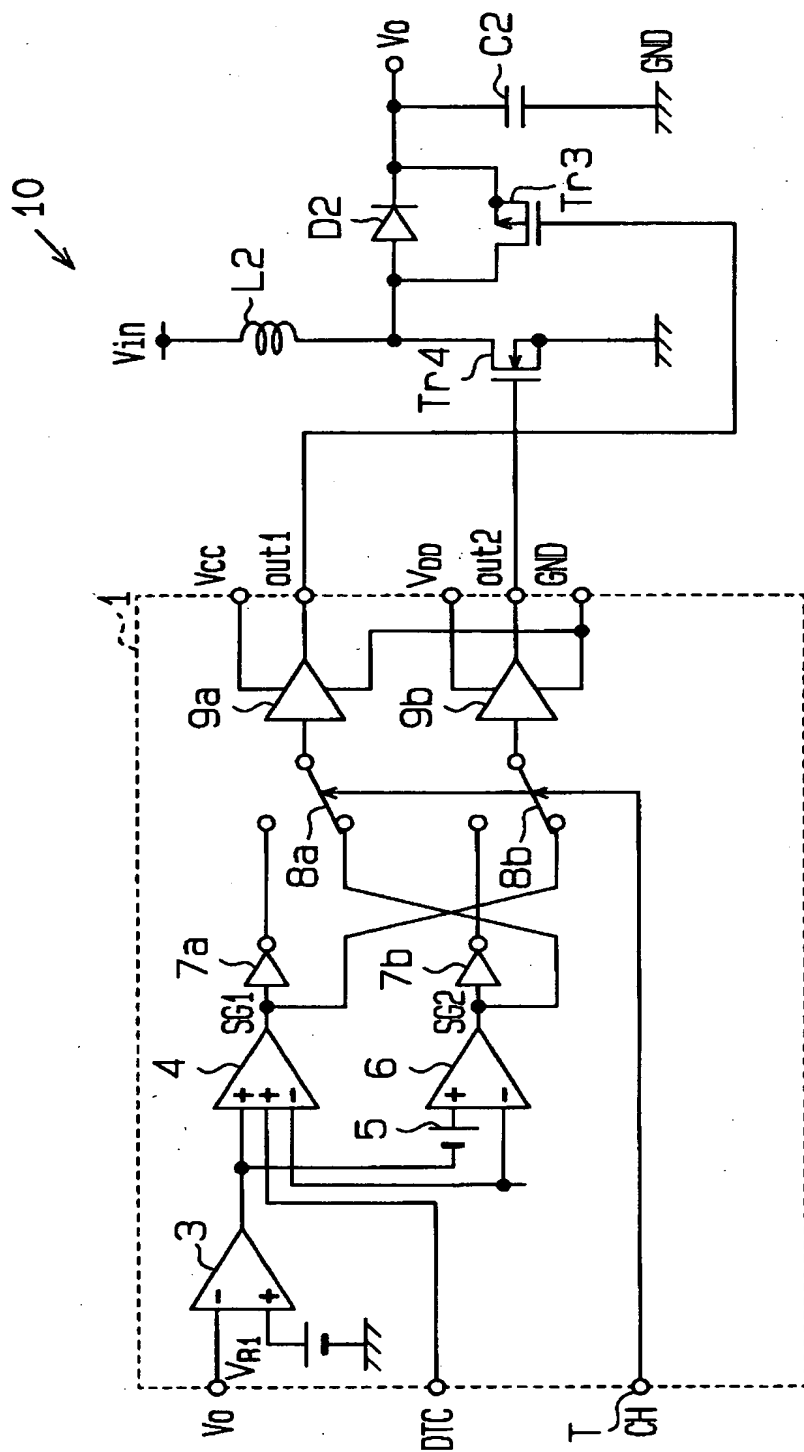
【図 7】

従来例を示す回路図



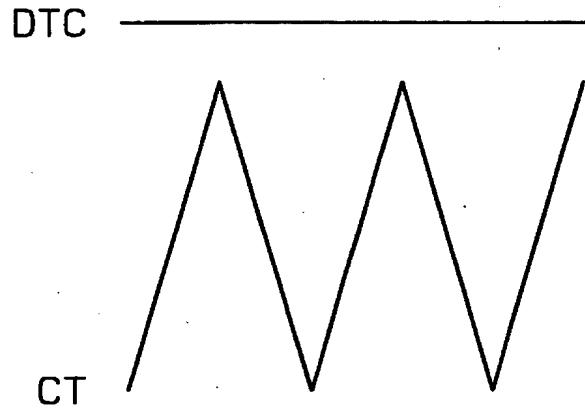
【図 8】

従来例を示す回路図



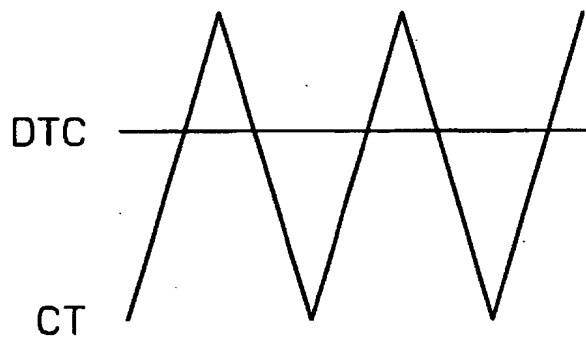
【図 9】

降圧動作時のデューティ設定信号と三角波の電圧レベルを示す説明図



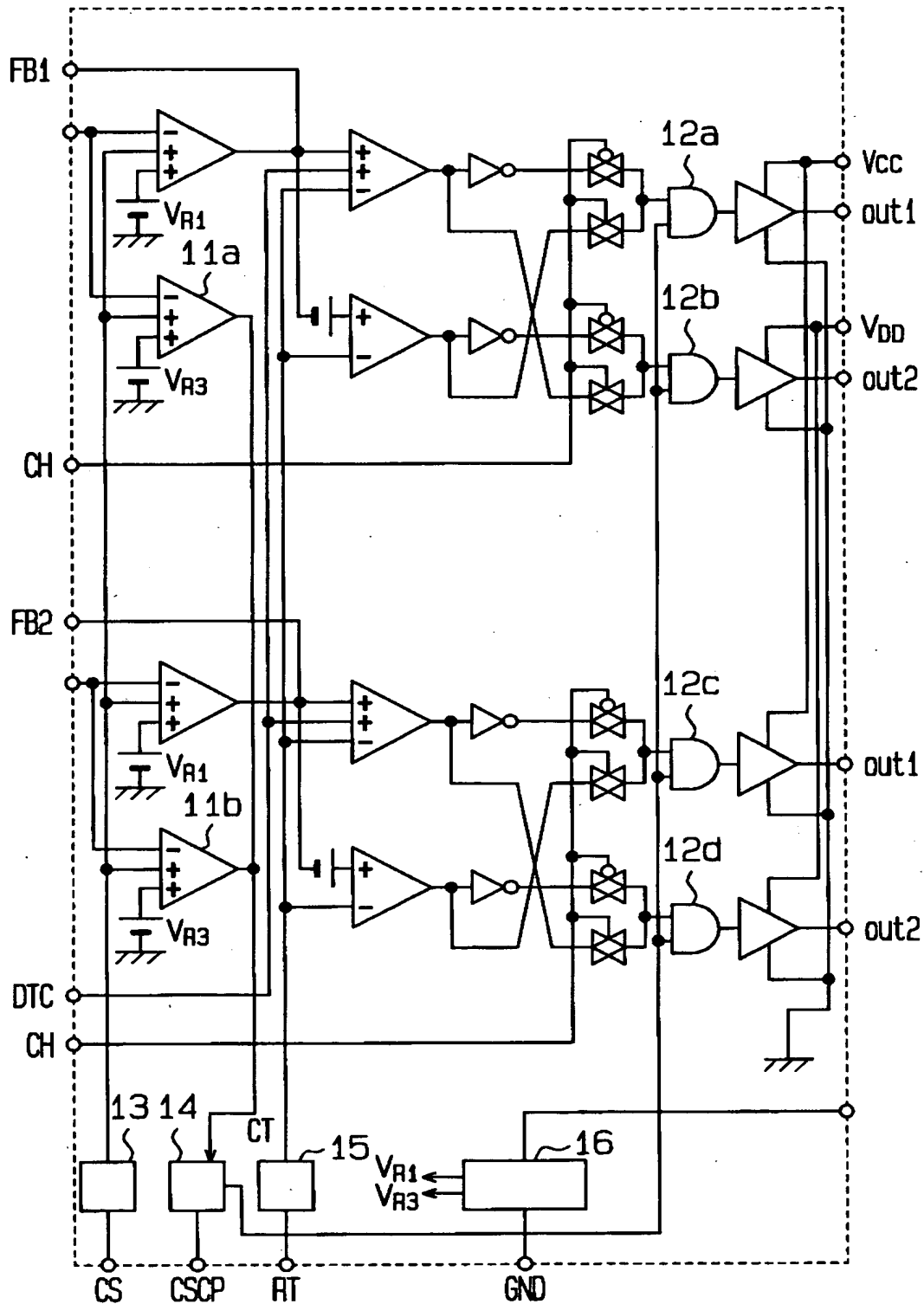
【図 1 0】

昇圧動作時のデューティ設定信号と三角波の電圧レベルを示す説明図



【図 11】

従来例を示す回路図



【書類名】 要約書

【要約】

【課題】 外部端子数を削減し得るDC-DCコンバータを提供する。

【解決手段】 スイッチ回路8に入力される切替え信号CHにより、該スイッチ回路8に入力される降圧動作制御信号DCと、昇圧動作制御信号UCとが切替えられて出力される。出力信号outのデューティを制御するデューティ設定信号DTCに基づいて、切替え信号CHを生成する切替え信号生成回路26が備えられる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社